

Docket No.: 60188-635

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
	:	
Shuji HIRAO, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: August 20, 2003	:	Examiner:
	:	
For: PRODUCTION METHOD OF SEMICONDUCTOR DEVICE	:	

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

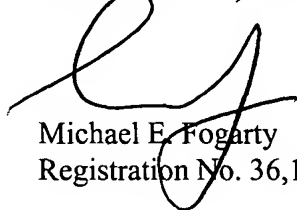
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. 2002-245509, filed August 26, 2002**

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:prg  
Facsimile: (202) 756-8087  
**Date: August 20, 2003**

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

60188-635  
HIRAO et al.  
August 20, 2003  
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 2 年    8 月 2 6 日  
Date of Application:

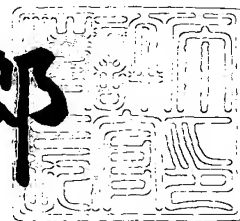
出 願 番 号            特 願 2 0 0 2 - 2 4 5 5 0 9  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 2 - 2 4 5 5 0 9 ]

出      願      人            松 下 電 器 産 業 株 式 会 社  
Applicant(s):

2 0 0 3 年    7 月    8 日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号    出証特 2 0 0 3 - 3 0 5 3 7 1 2

【書類名】 特許願

【整理番号】 2926440032

【提出日】 平成14年 8月26日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/3205

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 平尾 秀司

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 原田 剛史

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 二井 一志

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 岸田 剛信

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 池田 敦

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 辻 和則

**【特許出願人】****【識別番号】** 000005821**【氏名又は名称】** 松下電器産業株式会社**【代理人】****【識別番号】** 100077931**【弁理士】****【氏名又は名称】** 前田 弘**【選任した代理人】****【識別番号】** 100094134**【弁理士】****【氏名又は名称】** 小山 廣毅**【選任した代理人】****【識別番号】** 100110939**【弁理士】****【氏名又は名称】** 竹内 宏**【選任した代理人】****【識別番号】** 100110940**【弁理士】****【氏名又は名称】** 嶋田 高久**【選任した代理人】****【識別番号】** 100113262**【弁理士】****【氏名又は名称】** 竹内 祐二**【選任した代理人】****【識別番号】** 100115059**【弁理士】****【氏名又は名称】** 今江 克実

## 【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

## 【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

## 【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 結晶構造を有するバリア膜上に、非エピタキシャル成長させた第 1 導電膜を堆積する工程と、

前記第 1 導電膜上に第 2 導電膜を形成する工程と、

前記第 1 導電膜及び前記第 2 導電膜を加熱して一体化させることにより第 3 導電膜を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 2】 結晶構造を有するバリア膜上に第 1 導電膜を堆積する工程と、

前記第 1 導電膜上に第 2 導電膜を形成する工程と、

前記第 1 導電膜及び前記第 2 導電膜を加熱して一体化させることにより第 3 導電膜を形成する工程とを備え、

前記第 1 導電膜の厚さを、前記第 1 導電膜及び前記第 2 導電膜の合計厚さの 4 分の 1 以下に設定することを特徴とする半導体装置の製造方法。

【請求項 3】 結晶構造を有するバリア膜上に第 1 導電膜を堆積する工程と、

前記第 1 導電膜上に第 2 導電膜を形成する工程と、

前記第 1 導電膜及び前記第 2 導電膜を加熱して一体化させることにより第 3 導電膜を形成する工程とを備え、

前記第 1 導電膜の厚さを 1 2 0 n m 以下に設定することを特徴とする半導体装置の製造方法。

【請求項 4】 前記第 1 導電膜及び前記第 2 導電膜はいずれも銅又は銅を主成分とする金属よりなることを特徴とする請求項 1、2 又は 3 に記載の半導体装置の製造方法。

【請求項 5】 前記第 3 導電膜の比抵抗値は  $1.9 \mu \Omega \cdot \text{cm}$  以下であることを特徴とする請求項 1、2 又は 3 に記載の半導体装置の製造方法。

【請求項 6】 一体化する前の前記第 1 導電膜及び前記第 2 導電膜の積層膜の比抵抗値は  $2.2 \mu \Omega \cdot \text{cm}$  以上であることを特徴とする請求項 1、2 又は 3 に記載の半導体装置の製造方法。

【請求項 7】 前記第 1 導電膜を堆積する工程の絶対温度を、前記第 1 導電膜

の融点の絶対温度の4分の1以下に設定することを特徴とする請求項1、2又は3に記載の半導体装置の製造方法。

【請求項8】 前記第1導電膜及び前記第2導電膜を加熱して一体化させることにより第3導電膜を形成する工程の絶対温度を、前記第3導電膜の融点の絶対温度の3分の1以下に設定することを特徴とする請求項1、2又は3に記載の半導体装置の製造方法。

【請求項9】 前記バリア膜はタンタル膜又はタンタル合金膜であることを特徴とする請求項1、2又は3に記載の半導体装置の製造方法。

【請求項10】 前記タンタル膜の結晶構造又は前記タンタル合金膜の結晶構造は $\beta$ 構造であることを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項11】 前記第1導電膜を堆積する工程において物理的气相成長法又は化学的气相成長法により前記第1導電膜を形成することを特徴とする請求項1、2又は3に記載の半導体装置の製造方法。

【請求項12】 前記第2導電膜を形成する工程において化学的气相成長法又はメッキ法により前記第2導電膜を形成することを特徴とする請求項1、2又は3に記載の半導体装置の製造方法。

【請求項13】 前記第1導電膜及び前記第2導電膜を加熱して一体化させることにより第3導電膜を形成する工程を200℃以下の温度で実施することを特徴とする請求項1、2又は3に記載の半導体装置の製造方法。

【請求項14】 前記バリア膜は絶縁膜に設けられた凹部の壁面上に形成されており、

前記第1導電膜を堆積する工程は、前記凹部における前記バリア膜上に前記第1導電膜を、前記凹部が途中まで埋まるように形成する工程を含み、

前記第2導電膜を形成する工程は、前記凹部における前記第1導電膜上に前記第2導電膜を、前記凹部が完全に埋まるように形成する工程を含み、

前記第1導電膜及び前記第2導電膜を加熱して一体化させることにより第3導電膜を形成する工程よりも後に、前記第3導電膜のうち前記凹部の外側部分を除去することによって前記凹部に配線を形成する工程をさらに備えていることを特徴とする請求項1、2又は3に記載の半導体装置の製造方法。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、半導体装置の製造方法に関し、特に、高ストレスマイグレーション（SM）耐性を有する半導体装置の製造方法に関するものである。

**【0002】****【従来の技術】**

従来、シリコンよりなる半導体基板上に形成されたLSIの配線材料として、アルミニウムが主に使用されてきた。それに対して、近年、半導体集積回路の高集積化及び高速化のために、アルミニウムよりも低抵抗であると共に高エレクトロマイグレーション（EM）耐性を有する銅が配線材料として注目されている。また、銅膜の成膜方法としては、溝又はホール5の埋め込み性能が優れている電解メッキ法が使用されている。

**【0003】**

図6（a）～（d）は、従来の半導体装置の製造方法、具体的には従来の銅配線の形成方法の各工程を示す断面図である。

**【0004】**

まず、図6（a）に示すように、半導体素子等（図示省略）が設けられた半導体基板1の上に、第1の銅配線3が埋め込まれた第1の絶縁膜2を形成する。次に、第1の絶縁膜2の上に第2の絶縁膜4を形成した後、第2の絶縁膜4に、第1の銅配線3に達するホール5と、ホール5と接続する配線溝6とを形成する。

**【0005】**

次に、図6（b）に示すように、ホール5及び配線溝6の底部及び壁面を含む第2の絶縁膜4の上に、タンタル（Ta）よりなる厚さ30nm程度のバリア膜7、及び銅（Cu）よりなる厚さ150nm程度のシード層8を順次スパッタ法を用いて堆積する。

**【0006】**

次に、図6（c）に示すように、電解メッキ法を用いて銅膜9をホール5及び配線溝6が完全に埋まるように堆積する。その後、銅膜9を安定化させるために



、銅膜 9 に対して、2 0 0 ℃の温度で 6 0 分間程度アニール処理を行なう。これにより、シード層 8 と銅膜 9 とが一体化する（以下、シード層 8 と銅膜 9 とが一体化してなる銅膜を改めて銅膜 9 とする）。

#### 【0 0 0 7】

次に、化学機械研磨（CMP）法を用いて、銅膜 9 及びバリア膜 7 のそれぞれにおける配線溝 6 の外側部分を除去する。これにより、図 6（d）に示すように、ホール 5 及び配線溝 6 にバリア膜 7 を挟んで第 2 の銅配線 9 A が形成される。

#### 【0 0 0 8】

##### 【発明が解決しようとする課題】

しかしながら、図 6（a）～（d）に示す従来の銅配線の形成方法においては、ストレスマイグレーション（SM）に起因して不良が発生するという問題がある。

#### 【0 0 0 9】

本願発明者らが、この問題の原因を検討した結果、銅配線形成後の工程、例えば銅配線上におけるシリコン窒化膜若しくは層間絶縁膜の堆積、又はシンター処理等の工程でウェハが加熱されて銅膜の再結晶化が起こり、それにより銅膜中にボイドが形成されてしまうことが明らかになった。例えば図 6（d）に示す工程で第 2 の銅配線 9 A を形成した後に、図 7 に示すように、第 2 の銅配線 9 A の上にシリコン窒化膜 1 0 及び第 3 の絶縁膜（層間絶縁膜）1 1 を順次形成した場合、前述のメカニズムによって、第 2 の銅配線 9 A の内部にボイド 1 2 が形成される結果、半導体装置の歩留まりが低下する。尚、半導体装置が製品として出荷された後においても、半導体装置の動作時に発生する熱によって銅配線中にボイドが生じ、その結果、半導体装置の信頼性が低下するという問題もある。このような銅メッキ後の工程や半導体装置の動作時におけるボイド発生を防止するために、メッキ直後の銅膜に対してアニールを十分に行なっておく方法が考えられる。ところが、例えば図 6（c）に示す工程で電解メッキ法を用いてホール 5 及び配線溝 6 に銅膜 9 を埋め込んだ後、銅膜 9 に対して、3 0 0 ℃の温度で 6 0 分間程度アニール処理を行なった場合には図 8 に示すような問題が生じる。すなわち、アニール温度が高すぎるために、銅膜 9 におけるホール 5 又は配線溝 6 の内部に

形成されている部分にボイド 13 が生じる。

#### 【0010】

以上のように、銅メッキ直後のアニール処理温度が高温であると、このアニール時点でボイドが発生してしまう一方、前述のアニール処理温度が低温であると、その後の工程や半導体装置の動作時にボイドが発生してしまうというトレードオフの関係が存在する。

#### 【0011】

前記に鑑み、本発明は、ストレスマイグレーションによる不良発生を防止することにより、配線の信頼性を向上させると共に半導体装置の歩留まりを高くすることを目的とする。

#### 【0012】

##### 【課題を解決するための手段】

前記の目的を達成するために、本発明に係る第 1 の半導体装置の製造方法は、結晶構造を有するバリア膜上に、非エピタキシャル成長させた第 1 導電膜を堆積する工程と、第 1 導電膜上に第 2 導電膜を形成する工程と、第 1 導電膜及び第 2 導電膜を加熱して一体化させることにより第 3 導電膜を形成する工程とを備えている。

#### 【0013】

第 1 の半導体装置の製造方法によると、結晶構造を有するバリア膜上に、非エピタキシャル成長させた第 1 導電膜を堆積するため、第 1 導電膜及びその上に形成される第 2 導電膜はそれぞれ結晶粒径が小さくなると共にエネルギー状態が高くなる。このため、ボイドの発生がない小さい活性化エネルギーつまり低温でも、第 1 導電膜及び第 2 導電膜を容易に結晶化することができる。また、第 1 導電膜の結晶粒径が小さいため、第 1 導電膜の結晶化は下側のバリア膜の結晶構造と格子整合を取りながら進行する。このため、バリア膜と第 1 導電膜との間の密着性が向上するので、ボイドが発生させることなく第 1 導電膜及び第 2 導電膜を結晶化させて第 3 導電膜を形成することができる。また、その後の工程や半導体装置の動作時に第 3 導電膜に熱が加えられた場合にも、第 3 導電膜が既に十分に結晶化しているため、第 3 導電膜の再結晶化を抑制でき、それにより第 3 導電膜中

におけるボイド発生を防止できる。すなわち、このように形成された第3導電膜を配線として用いた場合には、ストレスマイグレーションによる不良発生を防止できるので、配線の信頼性を向上させることができると共に半導体装置の歩留まりを高くすることができる。

#### 【0014】

本発明に係る第2の半導体装置の製造方法は、結晶構造を有するバリア膜上に第1導電膜を堆積する工程と、第1導電膜上に第2導電膜を形成する工程と、第1導電膜及び第2導電膜を加熱して一体化させることにより第3導電膜を形成する工程とを備え、第1導電膜の厚さを、第1導電膜及び第2導電膜の合計厚さの4分の1以下に設定する。

#### 【0015】

第2の半導体装置の製造方法によると、結晶構造を有するバリア膜上に形成される第1導電膜（例えばシード層）の厚さが、第1導電膜及びその上に形成される第2導電膜（例えばメッキ膜）の合計厚さの4分の1以下である。このため、第1導電膜及び第2導電膜に対する熱処理において、ボイド発生の原因となる高温を用いることなく、第1導電膜及び第2導電膜を十分に結晶化して第3導電膜を形成することができる。また、その後の工程や半導体装置の動作時に第3導電膜に熱が加えられた場合にも、第3導電膜が既に十分に結晶化しているため、第3導電膜の再結晶化を抑制でき、それにより第3導電膜中におけるボイド発生を防止できる。すなわち、このように形成された第3導電膜を配線として用いた場合には、ストレスマイグレーションによる不良発生を防止できるので、配線の信頼性を向上させることができると共に半導体装置の歩留まりを高くすることができる。

#### 【0016】

本発明に係る第3の半導体装置の製造方法は、結晶構造を有するバリア膜上に第1導電膜を堆積する工程と、第1導電膜上に第2導電膜を形成する工程と、第1導電膜及び第2導電膜を加熱して一体化させることにより第3導電膜を形成する工程とを備え、第1導電膜の厚さを120nm以下に設定する。

#### 【0017】

第3の半導体装置の製造方法によると、結晶構造を有するバリア膜上に形成される第1導電膜（例えばシード層）の厚さが120nm以下である。このため、第1導電膜及びその上に形成される第2導電膜（例えばメッキ膜）に対する熱処理において、ボイド発生の原因となる高温を用いることなく、第1導電膜及び第2導電膜を十分に結晶化して第3導電膜を形成することができる。また、その後の工程や半導体装置の動作時に第3導電膜に熱が加えられた場合にも、第3導電膜が既に十分に結晶化しているため、第3導電膜の再結晶化を抑制でき、それにより第3導電膜中におけるボイド発生を防止できる。すなわち、このように形成された第3導電膜を配線として用いた場合には、ストレスマイグレーションによる不良発生を防止できるので、配線の信頼性を向上させることができると共に半導体装置の歩留まりを高くすることができる。

【0018】

第1、第2又は第3の半導体装置の製造方法において、第1導電膜及び第2導電膜はいずれも銅又は銅を主成分とする金属よりなることが好ましい。

【0019】

このようにすると、高エレクトロマイグレーション（EM）耐性を有する低抵抗の銅配線を形成することができる。

【0020】

第1、第2又は第3の半導体装置の製造方法において、第3導電膜の比抵抗値は $1.9\mu\Omega\cdot\text{cm}$ 以下であることが好ましい。

【0021】

第1、第2又は第3の半導体装置の製造方法において、一体化する前の第1導電膜及び第2導電膜の積層膜の比抵抗値は $2.2\mu\Omega\cdot\text{cm}$ 以上であることが好ましい。

【0022】

第1、第2又は第3の半導体装置の製造方法において、第1導電膜を堆積する工程の絶対温度を、第1導電膜の融点の絶対温度の4分の1以下に設定することが好ましい。

【0023】

第1、第2又は第3の半導体装置の製造方法において、第1導電膜及び第2導電膜を加熱して一体化させることにより第3導電膜を形成する工程の絶対温度を、第3導電膜の融点の絶対温度の3分の1以下に設定することが好ましい。

#### 【0024】

第1、第2又は第3の半導体装置の製造方法において、バリア膜はタンタル膜又はタンタル合金膜であってもよい。この場合、タンタル膜の結晶構造又はタンタル合金膜の結晶構造が $\beta$ 構造であると次のような効果が得られる。すなわち、第1導電膜及び第2導電膜が銅又は銅を主成分とする合金よりなる場合、 $\beta$ 構造のタンタルの結晶構造と銅の結晶構造とが似ているので、バリア膜の上に第1導電膜及び第2導電膜を成膜させることが容易になる。

#### 【0025】

第1、第2又は第3の半導体装置の製造方法において、第1導電膜を堆積する工程で物理的气相成長法又は化学的气相成長法により第1導電膜を形成してもよい。

#### 【0026】

第1、第2又は第3の半導体装置の製造方法において、第2導電膜を形成する工程で化学的气相成長法又はメッキ法により第2導電膜を形成してもよい。

#### 【0027】

第1、第2又は第3の半導体装置の製造方法において、第1導電膜及び第2導電膜を加熱して一体化させることにより第3導電膜を形成する工程を200℃以下の温度で実施することが好ましい。

#### 【0028】

このようにすると、第1導電膜及び第2導電膜に対して低温アニールを行なうため、ボイドを発生させることなく各導電膜を十分に結晶化することができる。

#### 【0029】

第1、第2又は第3の半導体装置の製造方法において、バリア膜は絶縁膜に設けられた凹部の壁面上に形成されており、第1導電膜を堆積する工程は、凹部におけるバリア膜上に第1導電膜を、凹部が途中まで埋まるように形成する工程を含み、第2導電膜を形成する工程は、凹部における第1導電膜上に第2導電膜を

、凹部が完全に埋まるように形成する工程を含み、第1導電膜及び第2導電膜を加熱して一体化させることにより第3導電膜を形成する工程よりも後に、第3導電膜のうち凹部の外側部分を除去することによって凹部に配線を形成する工程をさらに備えていることが好ましい。

#### 【0030】

このようにすると、高信頼性を有する埋め込み配線を確実に形成することができる。

#### 【0031】

##### 【発明の実施の形態】

##### （本発明の基本原理）

本発明の特徴は、結晶構造を有するバリア膜上に、非エピタキシャル成長させた薄い第1導電膜（例えばシード層）を堆積した後、第1導電膜上に第2導電膜（例えばメッキ膜）を堆積することである。

#### 【0032】

まず、結晶構造を有するバリア膜上に、非エピタキシャル成長させたシード層を堆積する点について説明する。ある結晶構造を有するバリア膜上にシード層を非エピタキシャル成長させると、言い換えると、エピタキシャル成長のように硬い結晶構造を形成する代わりにエピタキシャル成長させる場合よりも低い温度で不完全な結晶化状態のシード層を堆積すると、バリア膜上のシード層は堆積時点では十分な結晶性を持たない。すなわち、比較的アモルファスな膜状態でシード層が堆積される。その後、シード層上にメッキ膜を堆積し、続いてアニール工程によりシード層とメッキ膜とを一体化させ、シード層とメッキ膜とが一体化してなる導電膜を完全に結晶化させる。ここで、シード層及びその上に形成されるメッキ膜はそれぞれ結晶粒径が小さくエネルギー状態が高いため、小さい活性化エネルギーつまり低温でも、シード層及びメッキ膜のそれぞれを容易に結晶化することができる。

#### 【0033】

また、前述のアニール工程において、下側のバリア膜が既に結晶構造を有しているため、バリア膜上のシード層は、このバリア膜の結晶構造と格子整合を取り

ながら結晶化されると共に、シード層上のメッキ膜は、シード層の結晶構造と格子整合を取りながら結晶化される。その理由は、周辺の結晶格子と整合するように結晶化していく方が、より小さい結晶化エネルギーで安定した結晶構造を形成できるためである。従って、バリア膜とシード層との間の密着性が向上するので、ボイドを発生させることなくシード層及びメッキ膜のそれぞれを結晶化させることができる。尚、バリア膜としてはシード層やメッキ膜との間で格子整合を取りやすい結晶質の材料を用いることが望ましい。

#### 【0034】

次に、結晶構造を有するバリア膜上に、薄いシード層を堆積することによって得られる効果について説明する。具体的には、シードCu層の厚さと、メッキCu膜のアニールによる抵抗低下との関係を調べ、それによりストレスマイグレーション現象の解明を試みた結果について説明する。

#### 【0035】

図1は、シードCu層の厚さが50nm、100nm及び150nmのそれぞれである場合における、アニール前のメッキCu膜（正確にはバリア膜、シードCu層及びメッキCu膜からなる積層膜）のシート抵抗測定値及びアニール後のCu膜（正確にはバリア膜、及びシードCu層とメッキCu膜とが一体化したCu膜からなる積層膜）のシート抵抗測定値を示している。尚、メッキCu膜の厚さは、シードCu層の厚さとメッキCu膜の厚さとの合計が700nmの一定値になるように決定している。

#### 【0036】

図1に示すように、シードCu層の厚さが50nmである場合、アニール前のメッキCu膜のシート抵抗測定値は $0.0330\text{ m}\Omega/\text{mm}^2$ であり、アニール後のCu膜のシート抵抗測定値は $0.0266\text{ m}\Omega/\text{mm}^2$ である。このシート抵抗に基づいてCu膜の比抵抗値を求めると、アニール前のメッキCu膜の比抵抗値は $2.31\text{ }\mu\Omega\cdot\text{cm}$ と高くなる一方、アニール後のCu膜の比抵抗値は $1.86\text{ }\mu\Omega\cdot\text{cm}$ と低くなる。ここで、アニール後のCu膜の比抵抗値はCuの単結晶膜の比抵抗値 $1.7\text{ }\mu\Omega\cdot\text{cm}$ にかなり接近していることがわかる。

#### 【0037】

また、シードCu層の厚さが100nmである場合、アニール前のメッキCu膜のシート抵抗測定値は $0.0321\text{ m}\Omega/\text{mm}^2$ であり、アニール後のCu膜のシート抵抗測定値は $0.0265\text{ m}\Omega/\text{mm}^2$ である。このシート抵抗に基づいてCu膜の比抵抗値を求めると、アニール前のメッキCu膜の比抵抗値は $2.25\text{ }\mu\Omega\cdot\text{cm}$ と高くなる一方、アニール後のCu膜の比抵抗値は $1.86\text{ }\mu\Omega\cdot\text{cm}$ と低くなる。この場合もアニール後のCu膜の比抵抗値はCuの単結晶膜の比抵抗値 $1.7\text{ }\mu\Omega\cdot\text{cm}$ にかなり接近していることがわかる。

#### 【0038】

しかし、シードCu層の厚さが150nmである場合、アニール前のメッキCu膜のシート抵抗測定値は $0.0312\text{ m}\Omega/\text{mm}^2$ であり、アニール後のCu膜のシート抵抗測定値は $0.0277\text{ m}\Omega/\text{mm}^2$ である。このシート抵抗に基づいてCu膜の比抵抗値を求めると、アニール前のメッキCu膜の比抵抗値は $2.18\text{ }\mu\Omega\cdot\text{cm}$ となつて、シードCu層の厚さが50nm又は100nmであった時と比較して低くなる。逆に、アニール後のCu膜の比抵抗値は $1.93\text{ }\mu\Omega\cdot\text{cm}$ となつて、シードCu層の厚さが50nm又は100nmであった時と比較して高くなる。すなわち、シードCu層の厚さが150nmである場合におけるアニール後のCu膜の比抵抗値については、Cuの単結晶膜の比抵抗値 $1.7\text{ }\mu\Omega\cdot\text{cm}$ からの差が大きくなっていることが分かる。

#### 【0039】

よつて、シードCu層の厚さがある程度薄い場合には、アニール後のCu膜の抵抗値が大きく低下していること、つまりアニール後のCu膜の結晶化がCuの単結晶に近い状態まで進行していることが分かる。一方、シードCu層の厚さが厚い場合には、アニール後のCu膜の比抵抗値が十分に低下していないと共にアニール前のメッキCu膜の比抵抗値と比べて変化の度合いも小さいこと、つまりアニール後のCu膜の結晶化が完全ではないことが分かる。

#### 【0040】

ここで、膜の比抵抗が高いということは、その膜の結晶粒径が小さく且つ電子が粒界で散乱されている状態を意味している。すなわち、結晶粒径が小さい膜ほどエネルギー状態が高い膜であり、ある程度の活性化エネルギーさえ与えられ



ば、隣り合う結晶粒同士が容易に結合して結晶粒径が拡大し、それにより単結晶に近い結晶構造が形成される。

#### 【0041】

以上のように、アニール前の結晶粒径が小さいほど、つまりアニール前の比抵抗値が高いほど、比較的低いアニール温度でも結晶粒径を拡大させることができ、その結果、単結晶の比抵抗値に近い、低い比抵抗値を有する膜を形成することが出来る。具体的には、アニール前のCuメッキ膜の比抵抗値は $2.2 \mu\Omega \cdot \text{cm}$ 以上であることが望ましく、アニール後のCu膜の比抵抗値は $1.9 \mu\Omega \cdot \text{cm}$ 以下であることが望ましい。

#### 【0042】

図2は、シードCu層の厚さを色々変化させながら、メッキCu膜に対して比較的低温の $150^\circ\text{C}$ で120分間アニール処理を実施した場合におけるアニール前後のCu膜のシート抵抗値の変化を示している。尚、メッキCu膜の厚さは、シードCu層の厚さとメッキCu膜の厚さとの合計が $700 \text{ nm}$ の一定値になるように決定している。図2において、横軸はシードCu層の厚さを示しており、縦軸はメッキCu膜の抵抗低下率 $(= (1 - R_{\text{after}} / R_{\text{before}}) \times 100 [\%])$ を示しており、エラーバーは抵抗低下率の最大値及び最小値を示している。ここで、 $R_{\text{before}}$ はアニール前のメッキCu膜のシート抵抗値であり、 $R_{\text{after}}$ はアニール後のCu膜のシート抵抗値である。また、図2に示す抵抗低下率は、ウェハ面内の225点で測定した抵抗低下率の平均値である。この結果より、シードCu層の厚さが厚いほど、抵抗低下率が小さくなることが分かる。また、シードCu層の厚さが $120 \text{ nm}$ 以下になると、抵抗低下率は、シードCu層の厚さの変化によってはほとんど影響されずに比較的高い値で安定していることが分かる。

#### 【0043】

以上の結果より、第1導電膜であるシードCu層の厚さが薄いほど、第3導電膜であるアニール後のCu膜のシート抵抗低下率が大きくなること、及びアニール後のCu膜の比抵抗値が低くなることがわかる。ここで、比抵抗値は結晶粒界の密度を反映しているので、第1導電膜であるシードCu層の厚さが薄いほど、

第3導電膜であるアニール後のCu膜の結晶粒径が拡大していることになる。尚、アニール後のCu膜のシート抵抗低下率は、シードCu層の厚さが120nm以下の範囲では略一定となっている。一方、シードCu層の厚さが150nmの場合においては、アニール後のCu膜のシート抵抗低下率が小さくなると共に、アニール後のCu膜の比抵抗値が比較的高い値になる。このことは、アニール後のCu膜の結晶成長が不十分であることを示している。この場合、メッキ後の工程における加熱処理や半導体装置の動作時の熱によって、Cu膜の結晶成長が更に進んでCu膜の体積が収縮するので、アニール後のCu膜内にボイドが形成されるものと考えられる。

#### 【0044】

図3は、シードCu層の厚さが150nm及び100nmのそれぞれである場合における、メッキCu膜よりなるビア配線のSM耐性試験（ビア抵抗の高温保管（250℃）試験）の結果を示している。尚、メッキCu膜の厚さは、シードCu層の厚さとメッキCu膜の厚さとの合計が500nmの一定値になるように決定している。また、図3においては、シードCu層の厚さが150nmである場合及び100nmである場合のそれぞれについて、SM耐性試験の結果を、2枚のウェハを用いて別々に得られた不良率（任意単位：a.u.）で表している。

#### 【0045】

具体的には、図3に示すように、シードCu層の厚さが、メッキCu膜及びシードCu層の合計厚さの約1/3である150nmである場合には不良率は0.8a.u.前後と高い。それに対して、シードCu層の厚さが、メッキCu膜及びシードCu層の合計厚さの約1/5である100nmである場合には不良率は0.1a.u.前後と低い。すなわち、シードCu層の厚さが薄くなるに従って、不良率が大きく低下していることが分かる。

#### 【0046】

また、シード層を薄くすることによる前述の効果は、バリア膜、第1導電膜及び第2導電膜のそれぞれの材料の種類、並びに各導電膜の成膜方法に関わらず得られるものである。以下、その理由を説明する。

#### 【0047】

本発明では、結晶性を有するバリア膜上に第1導電膜であるシード層を薄く堆積することにより、その上に形成される第2導電膜であるメッキ膜等の導電膜の結晶性を少なくすることができる。言い換えると、シード層上に第2導電膜をよりアモルファスライクに成膜させることができる。一方、シード層自体もある程度結晶性を持つので、シード層を厚くするにつれて、シード層自体の結晶性（配向性）が大きくなる。その結果、その上に堆積されるメッキ膜等の結晶性（配向性）も顕著になり、アニール工程において周辺の膜と格子整合を取りながら膜の結晶化を進行させることが難しくなる。従って、シード層を薄くすることにより、その上に形成される導電膜自体の結晶性（配向性）を少なくできるので、導電膜形成後の熱処理（好ましくは低温熱処理）によって導電膜の結晶構造を最も安定な構造に落ち着かせることができる。その結果、後の工程や半導体装置の動作時にメッキ膜等の導電膜に熱が加えられても、結晶の異常成長が生じないので、ボイドの発生を抑制することが出来る。

#### 【0048】

以上に説明したように、本発明のポイントは、メッキ等による導電膜形成直後の高温熱処理を無くしてボイド発生を抑制するために、結晶性を有するバリア膜上にシード層を薄く堆積することによって、導電膜形成直後の熱処理を低温で行なっても、導電膜を十分に結晶化できるようにすることである。

#### 【0049】

具体的には、結晶性を有するバリア膜上に形成されるシードCu層の厚さを、メッキCu膜及びシードCu層の合計厚さの4分の1以下又は120nm以下に設定することによって、メッキ直後に200℃以下の低温アニールを行なったとしても、メッキCu膜を十分に結晶化することができる。このようにすると、その後の工程で加熱処理が行なわれた場合又は半導体装置の動作時に熱が発生した場合にも、メッキCu膜及びシードCu層とが一体化したCu膜の再結晶化（Cu原子の移動）つまり該Cu膜の体積変化（収縮）を抑制できるので、ボイド形成を抑制できるものと考えられる。

#### 【0050】

（実施形態）

以下、本発明の一実施形態に係る半導体装置の製造方法について、本発明の効果が最も顕著に現れる Cu を配線材料として用いる場合を例として、図面を参照しながら説明する。

#### 【 0 0 5 1 】

図 4 ( a ) ~ ( c ) 及び図 5 ( a ) ~ ( c ) は、本発明の一実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

#### 【 0 0 5 2 】

まず、図 4 ( a ) に示すように、半導体素子等（図示省略）が設けられた半導体基板 1 0 1 の上に、例えば銅よりなる第 1 の配線 1 0 3 が埋め込まれた第 1 の絶縁膜 1 0 2 を形成する。尚、図示は省略しているが、第 1 の配線 1 0 3 と第 1 の絶縁膜 1 0 2 との間には、例えばタンタルよりなるバリア膜が形成されている。次に、第 1 の絶縁膜 1 0 2 の上に第 2 の絶縁膜 1 0 4 を形成した後、第 2 の絶縁膜 1 0 4 に、第 1 の配線 1 0 3 に達するホール 1 0 5 と、ホール 1 0 5 と接続する配線溝 1 0 6 とを形成する。

#### 【 0 0 5 3 】

次に、図 4 ( b ) に示すように、ホール 1 0 5 及び配線溝 1 0 6 の底部及び壁面を含む第 2 の絶縁膜 1 0 4 の上に、結晶構造を有するバリア膜 1 0 7、例えば厚さ 3 0 n m 程度のタンタル ( T a ) 膜をスパッタ法を用いて堆積する。次に、バリア膜 1 0 7 の上に、非エピタキシャル成長させたシード層 1 0 8、例えば厚さ 1 0 0 n m 程度の銅 ( C u ) 膜をスパッタ法を用いて堆積する。

#### 【 0 0 5 4 】

次に、図 4 ( c ) に示すように、例えば電解メッキ法を用いて導電膜 1 0 9、例えば厚さ 6 0 0 n m 程度の銅膜をホール 1 0 5 及び配線溝 1 0 6 が完全に埋まるように堆積する。その後、シード層 1 0 8 及び導電膜 1 0 9 を安定化させるために、シード層 1 0 8 及び導電膜 1 0 9 に対して、2 0 0 ℃以下の温度、例えば 1 5 0 ℃で 1 2 0 分間程度アニール処理を行なう。これにより、図 5 ( a ) に示すように、シード層 1 0 8 と導電膜 1 0 9 とが一体化する（以下、シード層 1 0 8 と導電膜 1 0 9 とが一体化してなる導電膜を改めて導電膜 1 0 9 とする）。

#### 【 0 0 5 5 】

次に、例えばCMP法を用いて、導電膜109及びバリア膜107のそれぞれにおける配線溝106の外側部分を除去する。これにより、図5(b)に示すように、ホール105及び配線溝106にバリア膜107を挟んで、銅よりなる第2の配線109Aが形成される。

#### 【0056】

次に、図5(c)に示すように、第2の配線109Aの上を含む第2の絶縁膜104の上にシリコン窒化膜110及び第3の絶縁膜111を順次形成する。

#### 【0057】

本実施形態によると、結晶性を有するバリア膜107上に、非エピタキシャル成長させたシード層108を堆積するため、シード層108及びその上に形成される導電膜109はそれぞれ結晶粒径が小さくなると共にエネルギー状態が高くなる。このため、ボイドの発生がない小さい活性化エネルギーつまり低温でも、シード層108及び導電膜109を容易に結晶化することができる。また、シード層108の結晶粒径が小さいため、シード層108の結晶化は下側のバリア膜107の結晶構造と格子整合を取りながら進行する。このため、バリア膜107とシード層108との間の密着性が向上するので、ボイドを発生させることなくシード層108及び導電膜109を結晶化させることができる。

#### 【0058】

具体的には、バリア膜107上のシード層108の厚さ(100nm)は、シード層108及びその上に形成される導電膜109の合計厚さ(700nm)の4分の1以下又は120nm以下である。このため、導電膜109を安定化させるために低温(具体的には200℃以下)で熱処理を行なっても、導電膜109を十分に結晶化することができる。言い換えると、導電膜109の形成直後の熱処理において、ボイド発生の原因となる高温を用いることなく導電膜109を十分に結晶化することができる。また、その後の工程(例えばシリコン窒化膜110又は第3の絶縁膜111の堆積工程)や半導体装置の動作時に、配線を構成する導電膜109(シード層108と一体化している)に熱が加えられた場合にも、導電膜109は既に十分に結晶化しているため、導電膜109の再結晶化を抑制でき、それにより導電膜109中におけるボイド発生を防止できる。すなわち

、ストレスマイグレーションによる不良発生を防止できるので、配線の信頼性を向上させることができると共に半導体装置の歩留まりを高くすることができる。

#### 【0059】

また、本実施形態によると、電解メッキ法により導電膜109を形成した直後の熱処理を150℃の低温で行なっているため、該熱処理に起因して導電膜109にボイドが生じることがないことは言うまでもない。更に、アニール工程の後に、配線溝106からはみ出した導電膜109及びバリア膜107を除去するCMP工程を行なっているため、バリア膜107と導電膜109との間の膜剥がれを防ぐことができる。その理由は、アニール工程においてバリア膜107の結晶性と合うように格子整合を取りながらシード層108及びメッキ膜（アニール前の導電膜109）をこの順に結晶化させて膜の一体化を行なった後に、CMPにより平坦化を行なっているためである。

#### 【0060】

尚、前述の本発明の効果を確実に得るためには、シード層108及びアニール前の導電膜109の合計厚さに対するシード層108の厚さの比率が $1/30$ 以上で且つ $1/4$ 以下であるか、又はシード層108の厚さが20nm以上で且つ120nm以下であることが好ましい。

#### 【0061】

但し、シード層の厚さが、シード層及びその上に形成される導電膜の合計厚さの $1/4$ 以下であっても、導電膜の厚さがシード層の厚さと比較して厚すぎる場合には次のような問題が生じる。すなわち、この場合、薄いシード層のアモルファス性が厚い導電膜に伝わらないので、導電膜を均一に結晶化することが困難になる。言い換えると、シード層が比較的高いアモルファス性を有する膜であっても、導電膜は不完全且つ不均一な結晶性を有する膜になる。その結果、シード層及び導電膜に対して均一な結晶化を十分に進めるためには、導電膜の形成後に通常よりも高温でアニールを行なわなければならない。これは、導電膜中におけるボイド発生の原因となる。

#### 【0062】

従って、本実施形態においては、シード層108及び導電膜109の合計厚さ

に対するシード層 108 の厚さの比率が  $1/4$  以下であって、且つシード層 108 上に形成される導電膜 109 の厚さが所定の範囲内、つまり低温アニール（具体的には  $200^{\circ}\text{C}$  以下の温度での熱処理）によって導電膜 109 の全体を均一に結晶化できる範囲内にあることが好ましい。

#### 【0063】

また、本実施形態において、シード層 108 を堆積する工程の絶対温度を、シード層 108 の融点の絶対温度の  $4$  分の  $1$  以下に設定することが好ましい。このようにすると、成膜時の結晶成長が抑制されるので、よりアモルファスに近い状態でシード層 108 を堆積することができる。このように、アモルファスライクな状態でシード層 108 を堆積する方法として、物理的气相成長法、化学的气相成長法又は無電解メッキ法等を用いることができる。特に、化学的气相成長法を用いる場合には、他の方法と比較して高い温度であってもアモルファスライクなシード層を形成できるという特徴がある。具体的には、化学的气相成長法（CVD 法）により導電膜を堆積する際には導電膜中に不純物原子が混入するため、導電膜の結晶成長が抑制される。このため、比較的高温であっても導電膜の結晶化が進行しにくくなるので、導電膜の融点の絶対温度の  $4$  分の  $1$  を越える温度であってもアモルファスライクな導電膜を形成することができる。

#### 【0064】

また、本実施形態において、シード層 108 及び導電膜 109 を加熱して一体化させる工程の絶対温度を、シード層 108 及び導電膜 109 が一体化してなる導電膜（アニール後の導電膜 109）の融点の絶対温度の  $3$  分の  $1$  以下に設定することが好ましい。このようにすると、先の工程である、シード層 108 及び導電膜 109 を堆積する工程で導電膜 109 は既にある程度結晶化されているので、比較的低い温度であっても、硬い結晶構造を持つ導電膜 109 を形成することができる。また、既にある程度結晶構造を持つ導電膜 109 において、低い温度で比較的緩やかに結晶化を進行させることにより、導電膜 109 とその周辺との間に一旦形成された格子整合を崩すことなく、シード層 108 及び導電膜 109 を一体化させた膜の結晶化を、周辺の膜との密着性が良好な状態で完了させることができる。

## 【0065】

また、本実施形態において、シード層 108 及び導電膜 109 を構成する導電材料は特に限定されるものではないが、シード層 108 及び導電膜 109 は銅又は銅を主成分とする金属よりなることが好ましい。このようにすると、高エレクトロマイグレーション (EM) 耐性を有する低抵抗の銅配線を形成することができる。

## 【0066】

また、本実施形態において、バリア膜 107 を構成する材料は特に限定されるものではないが、バリア膜 107 として例えばタンタル膜又はタンタル合金膜等を用いることができる。ここで、バリア膜 107 の少なくとも表面部が  $\beta$  構造のタンタル膜又はタンタル合金膜であると、次のような効果が得られる。すなわち、シード層 108 及び導電膜 109 が銅又は銅を主成分とする合金よりなる場合、 $\beta$  構造のタンタル又はタンタル合金の結晶構造と銅の結晶構造とが似ているので、バリア膜 107 の上にシード層 108 及び導電膜 109 を成膜させることが容易になる。

## 【0067】

また、本実施形態において、シード層 108 の成膜方法は特に限定されるものではないが、例えば物理的气相成長法又は化学的气相成長法を用いてシード層 108 を成膜することができる。

## 【0068】

また、本実施形態において、導電膜 109 の成膜方法は特に限定されるものではないが、例えば化学的气相成長法又はメッキ法を用いて導電膜 109 を成膜することができる。また、ホール又は溝に導電膜 109 を埋め込む場合、電解メッキ法を用いて導電膜 109 を成膜することが好ましい。このようにすると、ホール又は溝に導電膜 109 を確実に埋め込むことができる。

## 【0069】

さらに、本発明の適用対象は本実施形態に限定されるものではないが、本発明を本実施形態の様に埋め込み銅配線の形成に適用した場合、前述の本発明の効果が特に顕著に発揮される。



## 【0 0 7 0】

## 【発明の効果】

本発明によると、結晶性を有するバリア膜上にシード層を薄く堆積することによって、シード層上に形成された導電膜に対して、ボイドが生じない低い温度で熱処理を行なっても、導電膜を十分に結晶化することができる。また、その後の工程や半導体装置の動作時に導電膜に熱が加えられた場合にも、導電膜が既に十分に結晶化しているため、導電膜の再結晶化を抑制でき、それにより導電膜中におけるボイド発生を防止できる。従って、このように形成された導電膜を配線として用いることにより、ストレスマイグレーションによる不良発生を防止できるので、配線の信頼性を向上させることができると共に半導体装置の歩留まりを高くすることができる。

## 【図面の簡単な説明】

## 【図 1】

シードCu層の厚さが50nm、100nm及び150nmのそれぞれである場合における、アニール前のメッキCu膜のシート抵抗測定値及びアニール後のCu膜のシート抵抗測定値を示す図である。

## 【図 2】

シードCu層の厚さを色々変化させながら、メッキCu膜に対してアニール処理を実施した場合におけるアニール前後のCu膜のシート抵抗値の変化を示す図である。

## 【図 3】

シードCu層の厚さが150nm及び100nmのそれぞれである場合における、メッキCu膜よりなるビア配線のSM耐性試験（ビア抵抗の高温保管（250℃）試験）の結果を示す図である。

## 【図 4】

(a)～(c)は本発明の一実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

## 【図 5】

(a)～(c)は本発明の一実施形態に係る半導体装置の製造方法の各工程を

示す断面図である。

【図 6】

(a) ～ (d) は従来の半導体装置の製造方法の各工程を示す断面図である。

【図 7】

従来の半導体装置の製造方法における問題点を説明する図である。

【図 8】

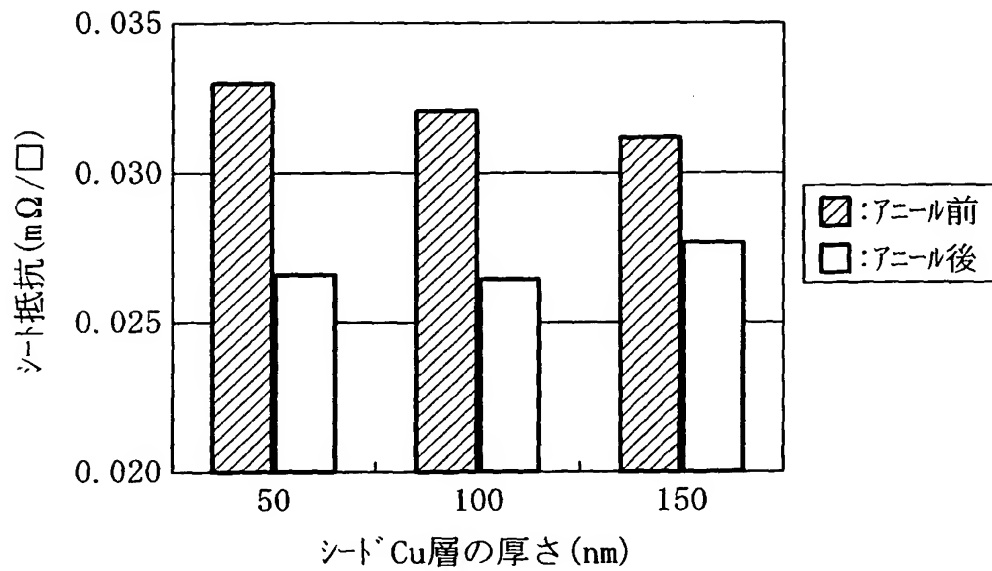
従来の半導体装置の製造方法における問題点を説明する図である。

【符号の説明】

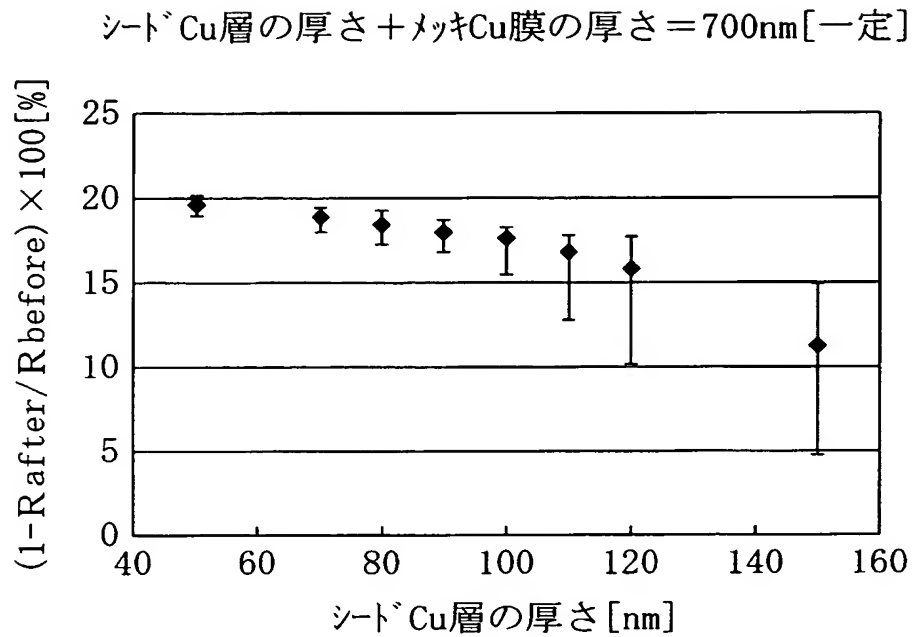
101	半導体基板
102	第1の絶縁膜
103	第1の配線
104	第2の絶縁膜
105	ホール
106	配線溝
107	バリア膜
108	シード層
109	導電膜
109A	第2の配線
110	シリコン窒化膜
111	第3の絶縁膜

【書類名】 図面

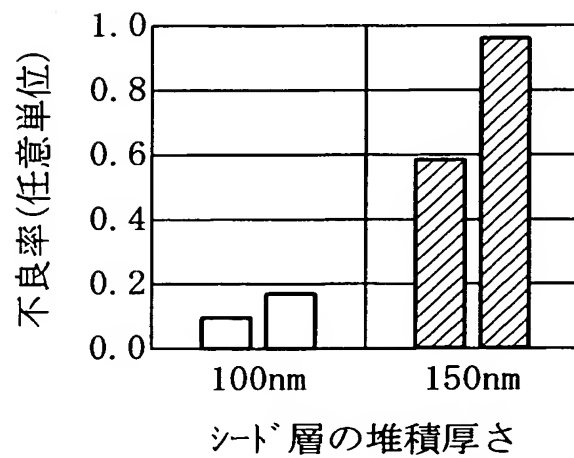
【図 1】



【図 2】

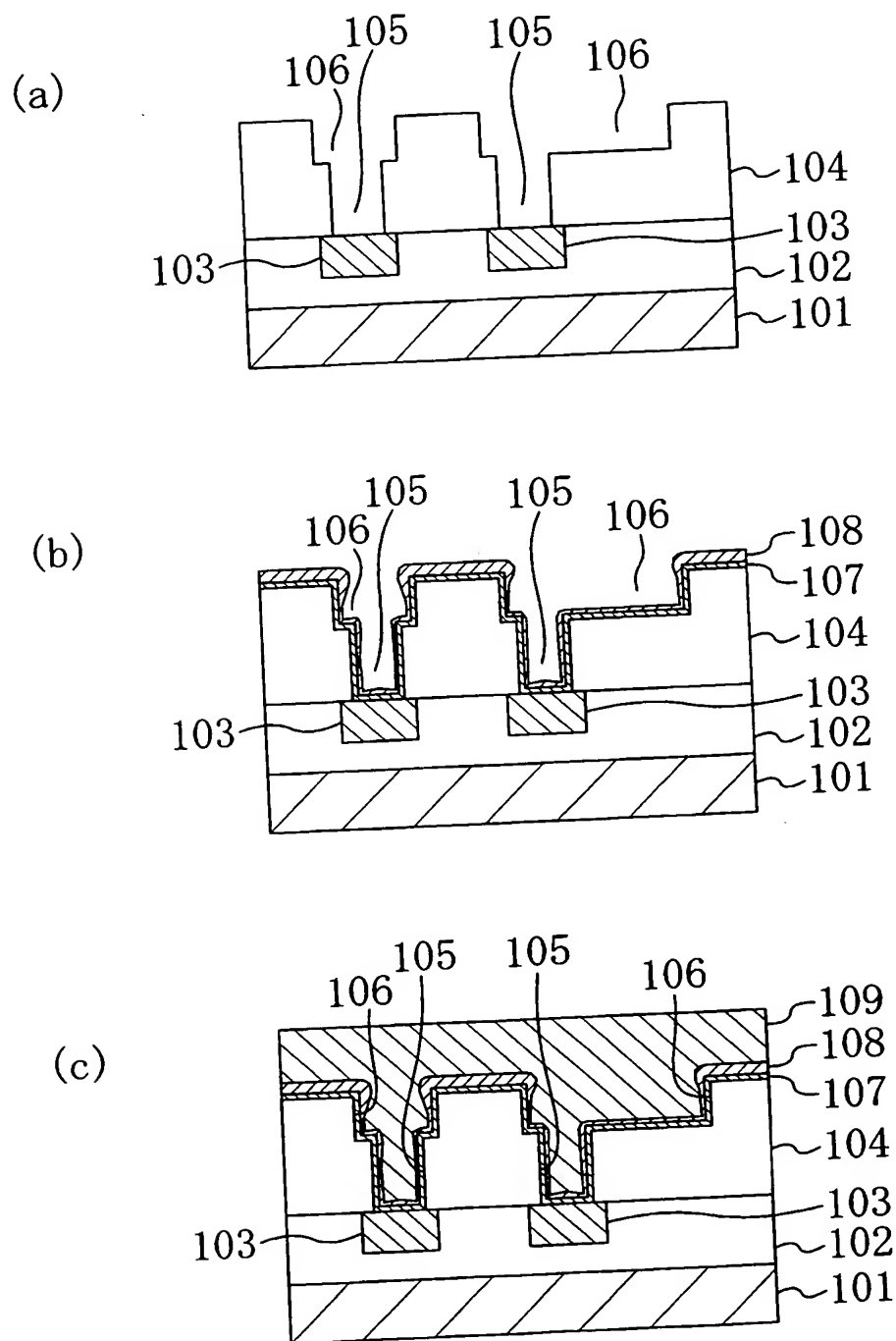


【図 3】

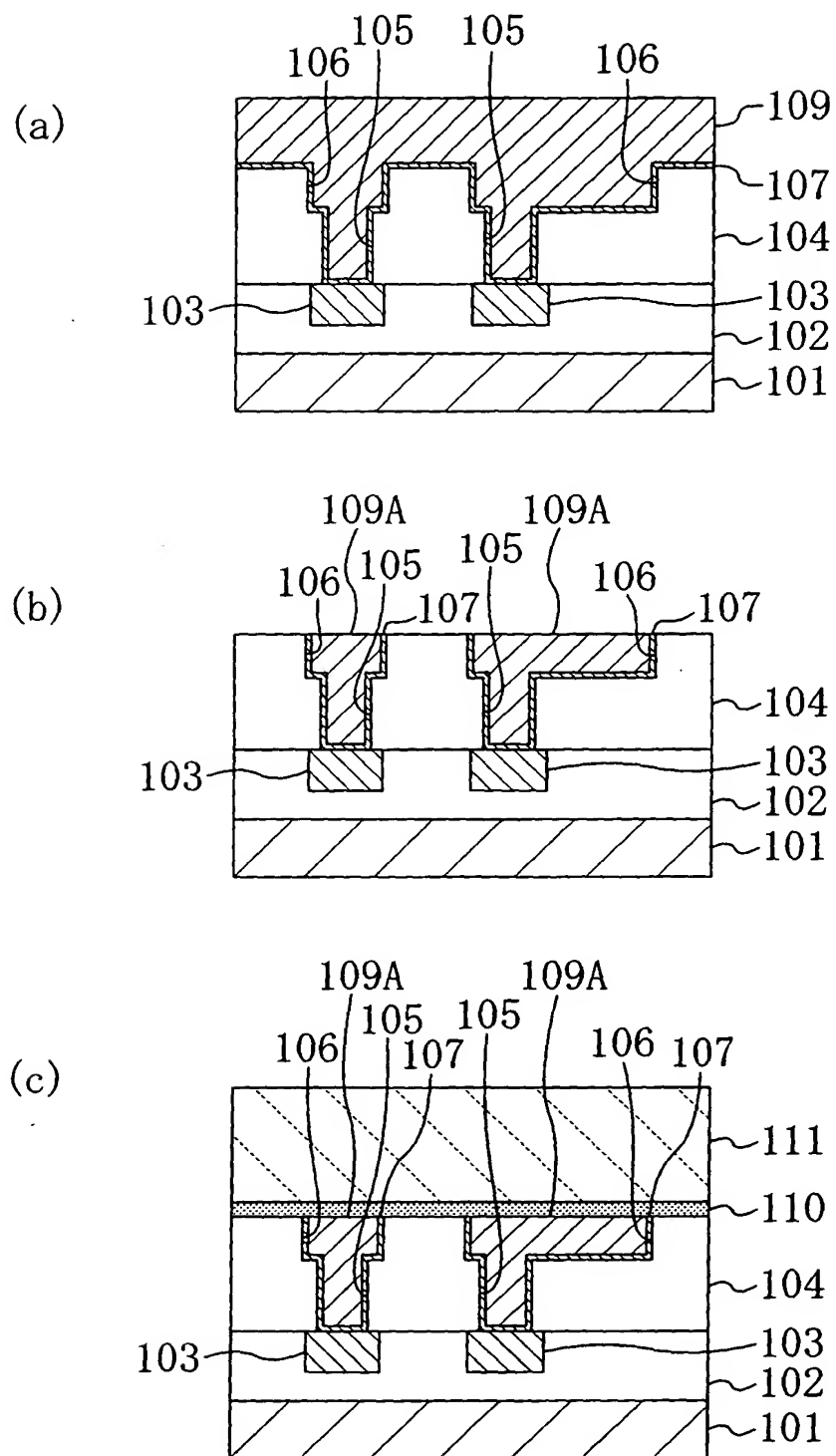


ビア抵抗の高温保管(250℃)試験結果

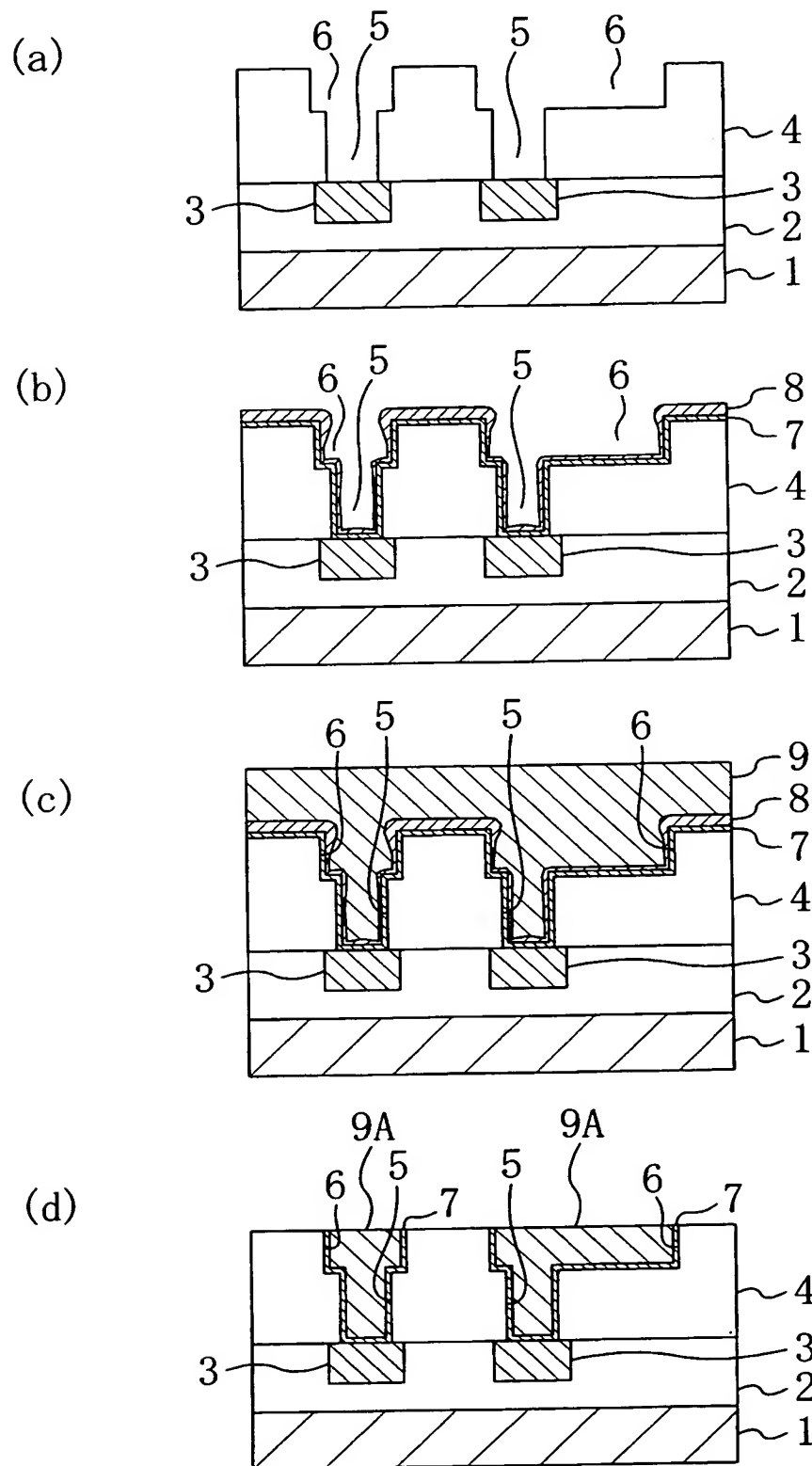
【図 4】



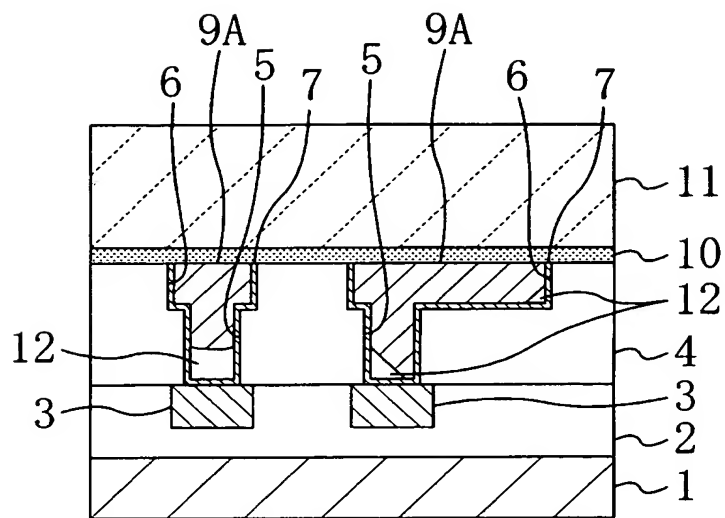
【図 5】



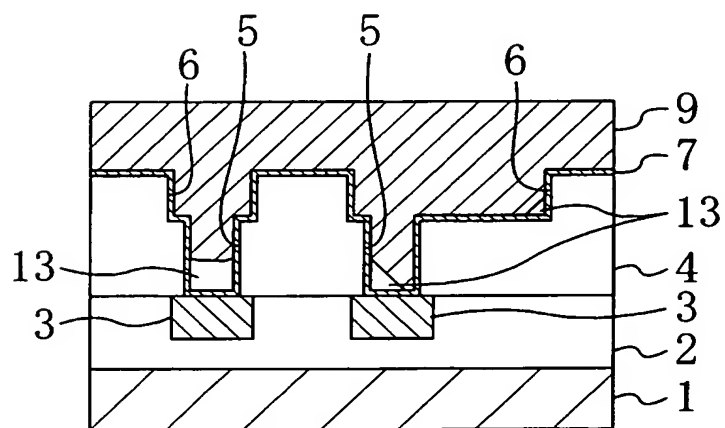
【図 6】



【図 7】



【図 8】





【書類名】 要約書

【要約】

【課題】 ストレスマイグレーションによる不良発生を防止することにより、配線の信頼性を向上させると共に半導体装置の歩留まりを高くする。

【解決手段】 半導体基板 1 0 1 の上に結晶性を有するバリア膜 1 0 7 を堆積した後、バリア膜 1 0 7 の上に、非エピタキシャル成長させたシード層 1 0 8 を堆積し、その後、シード層 1 0 8 の上に導電膜 1 0 9 を堆積する。その後、シード層 1 0 8 及び導電膜 1 0 9 に対してアニール処理を行なってシード層 1 0 8 及び導電膜 1 0 9 を一体化させる。シード層 1 0 8 の厚さは、シード層 1 0 8 及び導電膜 1 0 9 の合計厚さの 4 分の 1 以下又は 1 2 0 nm 以下である。

【選択図】 図 2

特願 2 0 0 2 - 2 4 5 5 0 9

出 願 人 履 歷 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社